

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 6 8 6 5

(43) 公開日 平成 8 年 (1996) 1 月 1 2 日

(51) Int. Cl. <sup>6</sup>

G06F 12/16

G11C 16/06

識別記号

340

庁内整理番号

M 7623-5B

F I

技術表示箇所

G11C 17/00

309

F

審査請求 未請求 請求項の数 4 F D (全 8 頁)

(21) 出願番号 特願平 6 - 1 6 2 9 7 3

(22) 出願日 平成 6 年 (1994) 6 月 2 2 日

(71) 出願人 0 0 0 0 0 1 4 4 3

カシオ計算機株式会社

東京都新宿区西新宿 2 丁目 6 番 1 号

(72) 発明者 平出 和彦

東京都羽村市栄町 3 丁目 2 番 1 号 カシオ

計算機株式会社羽村技術センター内

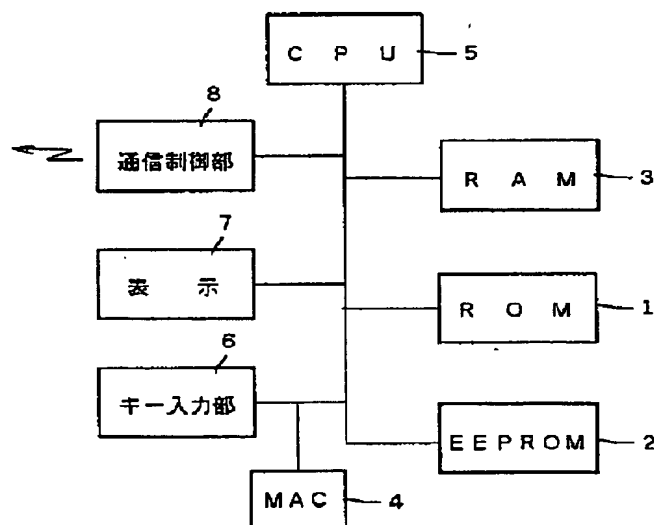
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【目的】 フラッシュメモリへのデータ書き込み中において瞬時停電等の影響を受けて書き込み不良が発生したとしてもフラッシュメモリの内容を読み出す際に、データが正しく書き込まれているか否かを確認する。

【構成】 CPU 5 は初期設定時において ROM 1 から RAM 3 を介して EEPROM 2 にデータを 1 ブロックづつ書き込むと共に、そのデータに対応付けて書き込み開始/終了を示すスタートコード、エンドコードを EEPROM 2 に書き込む。電源投入毎に CPU 5 は EEPROM 2 の内容を RAM 3 にコピーするが、その際、スタートコードとエンドコードとに基づいて EEPROM 2 内のデータの書き込み不良を検出する。



## 【特許請求の範囲】

【請求項 1】再書き込みが可能なフラッシュメモリを備え、このフラッシュメモリに書き込まれたデータ内容にしたがって動作するデータ処理装置において、

所定単位毎にデータをフラッシュメモリに書き込む書込手段と、

この書込手段によってフラッシュメモリにデータが書き込まれる毎に、そのデータに対応付けて書き込み開始／終了を示す識別子をフラッシュメモリに付加する付加手段と、

フラッシュメモリからデータを所定単位毎に読み出す読出手段と、

この読出手段によってデータが読み出される毎に、それに対応する書き込み開始／終了を示す識別子が所定の条件に合致するか否かに基づいて当該データの書き込み不良を検出する検出手段と、

を具備したことを特徴とするデータ処理装置。

【請求項 2】前記検出手段によってデータの書き込み不良が検出された際に、前記書込手段はフラッシュメモリに対してデータの再書き込みを行うようにしたことを特徴とする請求項 ( 1 ) 記載のデータ処理装置。

【請求項 3】フラッシュメモリに書き込まれたデータが修正された際に、前記付加手段はその修正データに対応付けて書き込み開始／終了を示す識別子をフラッシュメモリに付加するようにしたことを特徴とする請求項

( 1 ) 記載のデータ処理装置。

【請求項 4】再書き込みが可能なフラッシュメモリを備え、リードオンリメモリの内容をフラッシュメモリに書き込むと共に、このフラッシュメモリの内容をランダムアクセスメモリに書き込み、このランダムアクセスメモリに書き込まれたデータ内容にしたがって動作するデータ処理装置において、

リードオンリメモリから読み出されたデータを所定単位毎にフラッシュメモリに書き込む第 1 の書込手段と、

この第 1 の書込手段によってフラッシュメモリにデータが書き込まれる毎に、そのデータに対応付けて書き込み開始／終了を示す識別子をフラッシュメモリに付加する付加手段と、

フラッシュメモリからデータを所定単位毎に読み出す読出手段と、

この読出手段によってフラッシュメモリから読み出されたデータをランダムアクセスメモリに書き込む第 2 の書込手段と、

前記読出手段によってフラッシュメモリからデータが読み出される毎に、それに対応する書き込み開始／終了を示す識別子が所定の条件に合致するか否かに基づいて当該データの書き込み不良を検出する検出手段と、

を具備したことを特徴とするデータ処理装置。

## 【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】この発明は、再書き込みが可能なフラッシュメモリを備え、このフラッシュメモリに書き込まれたデータ内容にしたがって動作する電子式キャッシュレジスタ等のデータ処理装置に関する。

【 0 0 0 2 】

【従来の技術】一般に、フラッシュメモリは予め決められている書き込み可能回数の範囲内において任意に再書き込みができる E P R O M や E E P R O M によって構成されており、紫外線や電氣的にデータを消去することにより再書き込みを行うようにしている。ところで、E E P R O M 内蔵型のデータ処理装置において、E E P R O M 内にプログラムファイルやシステムプリセットデータを初期設定する場合、製品出荷時にリードオンリメモリから各種のアプリケーションプログラムや通信速度等を示すシステムプリセットデータを所定単位毎に読み出して E E P R O M に書き込むようにしている。このようにして E E P R O M 内にリードオンリメモリの内容をコピーした初期設定後において、データ処理装置は E E P R O M の内容にしたがって動作するが、その動作内容を一部変更する必要がある場合には E E P R O M の内容をそれに応じて修正するようにしている。

【 0 0 0 3 】

【発明が解決しようとする課題】ところで、E E P R O M に対する初期設定時やその設定内容の修正時において、E E P R O M へのデータ書き込み中に停電が一時的にでも発生すると、書き込み不良となって E E P R O M 内のデータが破壊されてしまうおそれがあり、データ処理装置の誤動作の原因となるという重大な欠点があった。このようなことはノイズの発生時でも同様であった。この発明の課題は、フラッシュメモリへのデータ書き込み中において瞬時停電等の影響を受けて書き込み不良が発生したとしてもフラッシュメモリの内容を読み出す際に、データが正しく書き込まれているか否かを確認できるようにすることである。

【 0 0 0 4 】

【課題を解決するための手段】第 1 の発明 ( 請求項

( 1 ) 記載の発明) の手段は次の通りである。再書き込みが可能なフラッシュメモリ ( 例えば E E P R O M ) を備え、このフラッシュメモリに書き込まれたデータ内容にしたがって動作する電子式キャッシュレジスタ等のデータ処理装置において、

( 1 ) 、書込手段は所定単位毎にデータ ( 例えば、アプリケーションプログラムファイルやシステムプリセットデータ) をフラッシュメモリに書き込む。

( 2 ) 、付加手段はこの書込手段によってフラッシュメモリにデータが書き込まれる毎に、そのデータに対応付けて書き込み開始／終了を示す識別子をフラッシュメモリに付加する。この場合、フラッシュメモリにデータが所定単位毎に書き込まれる毎に、そのデータの先頭位置および終了位置に同一数値を書き込み開始／終了を示す

10

20

30

40

50

識別子として付加するようにしてもよい。

( 3 )、読出手段はフラッシュメモリからデータを所定単位毎に読み出す。

( 4 )、検出手段はこの読出手段によってデータが読み出される毎に、それに対応する書き込み開始／終了を示す識別子が所定の条件に合致するか否かに基づいて当該データの書き込み不良を検出する。なお、前記検出手段によってデータの書き込み不良が検出された際に、前記書込手段はフラッシュメモリに対してデータの再書き込みを行うようにしてもよい。また、フラッシュメモリに書き込まれたデータが修正された際に、前記付加手段はその修正データに対応付けて書き込み開始／終了を示す識別子をフラッシュメモリに付加するようにしてもよい。第 2 の発明（請求項（ 4 ）記載の発明）の手段は次の通りである。再書き込みが可能なフラッシュメモリを備え、リードオンリメモリの内容をフラッシュメモリに書き込むと共に、このフラッシュメモリの内容をランダムアクセスメモリに書き込み、このランダムアクセスメモリに書き込まれたデータ内容にしたがって動作するデータ処理装置において、

( 1 )、第 1 の書込手段はリードオンリメモリから読み出されたデータを所定単位毎にフラッシュメモリに書き込む。

( 2 )、付加手段はこの第 1 の書込手段によってフラッシュメモリにデータが書き込まれる毎に、そのデータに対応付けて書き込み開始／終了を示す識別子をフラッシュメモリに付加する。

( 3 )、読出手段はフラッシュメモリからデータを所定単位毎に読み出す。

( 4 )、第 2 の書込手段はこの読出手段によってフラッシュメモリから読み出されたデータをランダムアクセスメモリに書き込む。

( 5 )、検出手段は前記読出手段によってフラッシュメモリからデータが読み出される毎に、それに対応する書き込み開始／終了を示す識別子が所定の条件に合致するか否かに基づいて当該データの書き込み不良を検出する。

【 0 0 0 5 】

【作用】第 1 の発明の手段の作用は次の通りである。フラッシュメモリへのデータ書き込み時においては、所定単位毎にデータがフラッシュメモリに書き込まれると共に、データがフラッシュメモリに書き込まれる毎に、そのデータに対応付けて書き込み開始／終了を示す識別子が付加される。フラッシュメモリからのデータ読み出し時においては、所定単位毎にデータが読み出される毎に、それに対応する識別子に基づいて当該データの書き込み不良が検出される。第 2 の発明の手段の作用は次の通りである。リードオンリメモリからフラッシュメモリへのデータ書き込み時においては、リードオンリメモリに初期設定されているデータをフラッシュメモリに所定

単位毎に書き込むと共に、データがフラッシュメモリに書き込まれる毎に、そのデータに対応付けて書き込み開始／終了を示す識別子が付加される。フラッシュメモリからランダムアクセスメモリへのデータ書き込み時においては、フラッシュメモリからデータが所定単位毎に読み出される毎に、それに対応する識別子に基づいて当該データ（フラッシュメモリ内のデータ）の書き込み不良が検出される。したがって、フラッシュメモリへのデータ書き込み中において瞬時停電等の影響を受けて書き込み不良が発生したとしてもフラッシュメモリの内容を読み出す際に、データが正しく書き込まれているか否かを確認することができる。

【 0 0 0 6 】

【実施例】以下、図 1 ～図 6 を参照して一実施例を説明する。図 1 は E E P R O M 内蔵型のデータ処理装置を示したブロック図である。このデータ処理装置は P O S （ポイント・オブ・セールス）システムを構成する P O S ターミナルとしての電子式キャッシュレジスタ（ E C R ）で、その内部メモリとして R O M 1、E E P R O M 2、R A M 3 を有する構成となっている。R O M 1 は予め設定されている各種のプログラムファイル（オペレーティングシステム等の基本プログラムの他、アプリケーションプログラム）や通信速度等を示すプリセットデータを固定的に記憶するリードオンリメモリで、その内容は製品出荷時において、メイン電源投入後、M A C （メモリオールクリア）スイッチ 4 が操作されると、E E P R O M 2 にコピーされる。ここで、R O M 1 から E E P R O M 2 にコピーされるプログラムファイルはアプリケーションプログラムであり、オペレーティングシステム等の基本プログラムは E E P R O M 2 にコピーされず、C P U 5 は R O M 1 をアクセスして入出力動作等を R O M 1 内の基本プログラムにしたがって制御する。

【 0 0 0 7 】 E E P R O M 2 は予め決められた書き込み可能回数の範囲内において任意に再書き込み可能なフラッシュメモリで、その設定内容は必要に応じて修正される。この E E P R O M 2 の内容はメイン電源投入時に R A M 3 にコピーされる。この R A M 3 は任意にリード／ライドが可能なランダムアクセスメモリで、その設定内容にしたがって C P U 5 は売上データの登録処理や通信処理等を実行する。このように E E P R O M 2 の内容をメイン電源投入毎に R A M 3 にコピーするようにしたのは、本実施例において、1 ビットづつシリアルにデータを E E P R O M 2 から読み出すようにしたためであり、処理効率の向上を図る上で電源投入時に E E P R O M 2 の内容を一括して R A M 3 にコピーするようにしている。

【 0 0 0 8 】 C P U 5 は R O M 1 や R A M 3 をアクセスしてデータ処理装置の全体動作を制御する中央演算処理装置であり、キー入力部 6 から入力された売上データを表示部 7 から表示出力させたり、R A M 3 内の各種合計

器に登録し、また、RAM 3内に登録された売上データを通信制御部 8 を介してマスタ ECR 等に送信する。

【0009】図 2 は ROM 1、EEPROM 2、RAM 3 のメモリ内容を示したもので、ROM 1 はオペレーティングシステム、アプリケーションプログラム等のプログラムファイルの他、通信速度、通信データのブロック長等を示すシステムプリセットデータを固定的に記憶するもので、その内容は基本プログラムを除き、EEPROM 2 にコピーされる。EEPROM 2 は ROM 1 からコピーされたアプリケーションプログラムやシステムプリセットデータを記憶するもので、その内容は RAM 3 内のシステムエリアにコピーされる。RAM 3 はユーザーエリア、システムエリアを有する構成で、ユーザーエリアには各種合計器やワークメモリを有し、システムエリアには RAM 3 からコピーされたアプリケーションプログラムやシステムプリセットデータを記憶する領域と、チェック No カウンタ 3-1 を有する構成となっている。このチェック No カウンタ 3-1 は ROM 1 から RAM 3 を介して EEPROM 2 へデータが所定単位毎に書き込まれる毎に、その値がプラス「1」ずつ更新されるカウンタで、EEPROM 2 に書き込まれたデータの先頭位置と終了位置にそのカウンタ値が書き込まれる。つまり、このチェック No カウンタ 3-1 の値はデータの書き込み開始／終了を示す識別子で、図 2 (D) に示すように EEPROM 2 内にデータが書き込まれる毎に同一カウンタ値がデータ書き込みの開始／終了を示す識別子として EEPROM 2 内に付加される。したがって、EEPROM 2 内に書き込まれた各データはチェック No カウンタ 3-1 の値によって挟まれた状態で格納される。以下、データの書き込み開始位置に付された識別子をスタートコード「S」、書き込み終了位置に付された識別子をエンドコード「E」と称する。

【0010】次に、本実施例の動作を図 3～図 6 に示すフローチャートにしたがって説明する。図 3 はメイン電源投入に伴って実行開始される全体動作の概要を示したゼネラルフローチャートである。まず、メイン電源が投入されると、CPU 5 は MAC スイッチ 4 が操作されたかをチェックする (ステップ A 1)。ここで、例えば、製品出荷時や製品納入後の初期電源等投入時等において、MAC スイッチ 4 が操作されると、CPU 5 は ROM→RAM→EEPROM 設定処理を行う (ステップ A 2)。

【0011】図 4 はこの設定処理を示したフローチャートで、この設定処理に入ると、CPU 5 は RAM 3 内のチェック No カウンタ 3-1 に初期値「0」をセットしてチェック No カウンタ 3-1 の内容をクリアすると共に (ステップ B 1)、RAM 3 内のシステムエリアおよび EEPROM 2 の内容を全て消去する (ステップ B 2)。次に ROM 1 から 1 ブロック分のデータをリードして RAM 3 のシステムエリアにコピーする。この場

合、オペレーティングシステム等の基本プログラムを除く ROM 1 内の全データを RAM 3 内のシステムエリアにコピーし終るまで (ステップ B 4)、次のブロックを指定しながら (ステップ B 5)、1 ブロックずつコピーしてゆく。

【0012】このようにして ROM 1 内のアプリケーションプログラムやシステムプリセットデータを RAM 3 内のシステムエリアに全てコピーし終ると、CPU 5 は RAM 3 内のチェック No カウンタ 3-1 に「1」を加算してその値をインクリメントする (ステップ B 6)。そして、このチェック No カウンタ 3-1 の値を EEPROM 2 内にスタートコードとしてセットしておく (ステップ B 7)。その後、CPU 5 は RAM 3 内のシステムエリアをアクセスし、その先頭 1 ブロック分のデータをリードして EEPROM 2 にコピーすると共に (ステップ B 8)、このデータの末尾にチェック No カウンタ 3-1 の値をエンドコードとして EEPROM 2 にセットする (ステップ B 9)。これによって RAM 3 にコピーされた先頭ブロックのデータはスタートコード「1」、エンドコード「1」によって挟まれた状態となる。そして、RAM 3 内のシステムエリアの内容を全て EEPROM 2 にコピーし終るまで (ステップ B 10)、次ブロックを指定しながら (ステップ B 11)、チェック No カウンタ 3-1 の値をインクリメントしてゆき (ステップ B 6)、以下、ステップ B 7～B 9 の動作を繰り返す。これによって、EEPROM 2 内には 1 ブロック毎にスタートコード、エンドコードで挟まれたデータが書き込まれてゆく。この場合、1 ブロック目のスタートコード、エンドコードはそれぞれ「1」、2 ブロック目のスタートコード、エンドコードはそれぞれ「2」、3 ブロック目のスタートコード、エンドコードはそれぞれ「3」…となる。つまり、ブロック順にスタートコード、エンドコードはシーケンシャルの数値データ「1」、「2」、「3」…となるが、同一ブロックについては同じ数値データとなる。

【0013】このような ROM→RAM→EEPROM 設定処理が終ると、図 3 のステップ A 3 に進み、システム設定フラグを EEPROM 2 にセットする。なお、このシステム設定フラグは ROM→RAM→EEPROM 設定処理が終ったことを示すフラグである。その後、通常の MAC 処理に移る (ステップ A 4)。このように製品出荷時や製品納入後の初期電源投入時において、MAC スイッチ 4 が操作されると、ステップ A 2～A 4 の処理が実行されるが、MAC スイッチ 4 の操作は上述の場合に限らず、必要に応じて適宜操作されるが、この場合においても上述のステップ A 2～A 4 が実行されることは勿論である。

【0014】次に、一日の営業始め等において、メイン電源の投入時には MAC スイッチ 4 は操作されないの

設定フラグがセットされているか否かをチェックする。ここで、MACスイッチ4の操作後においては上述のようにシステム設定フラグがセットされているので、ステップA7に進み、EEPROM→RAM設定処理が行われる。一方、EEPROM2内にシステム設定フラグがセットされていなければ、MACスイッチ4が操作されなくても上述と同様にROM→RAM→EEPROM設定処理(ステップA6)を行ったのち、EEPROM2にシステム設定フラグをセットする処理(ステップA8)が行われる。

【0015】図5はEEPROM→RAM設定処理を示したフローチャートである。先ず、EEPROM2の先頭から1ビットづつシリアルに読み出されたデータを取り込むことにより1ブロック分のデータが揃うと(ステップC1)、CPU5はそのスタートコードとエンドコードとを比較し(ステップC2)、両者が一致するか否かをチェックする(ステップC3)。ここで、スタートコードとエンドコードとが同一数値であれば、上述したROM→RAM→EEPROM設定処理において、EEPROM2にデータが正常に書き込まれたものと認識するが、同一数値でなければ、瞬時停電等の影響を受けて書き込み不良を起したものと認識する。つまり、EEPROM2へのデータ書き込み中において、停電が発生して書き込み不良が起きると、そのデータを挟むスタートコードとエンドコードとが一致しなくなるので、このスタートコードとエンドコードとの整合をチェックすることによってEEPROM2へのデータ書き込み中に停電等が発生して書き込み不良が起きたか否かを認識するようにしている。

【0016】いま、書き込みが正常に行われたことを認識すると、CPU5はEEPROM2から読み出した1ブロック分のデータをRAM3のシステムエリアに書き込む(ステップC4)。そして、次のステップC5で、EEPROM2内の全データをRAM3にコピーしたか否かをチェックし、全データをコピーし終るまで次のブロックを指定し(ステップC6)、指定ブロックのデータをEEPROM2から読み込む処理に戻る(ステップC1)。このようにして1ブロックづつEEPROM2内のデータが正常に書き込まれたものであるか否かをそのスタートコードとエンドコードとを比較することによってチェックしてゆき、全ブロック分のデータが正常であれば、EEPROM2の内容を全てRAM3のシステムエリアにコピーした時点で、このEEPROM→RAM設定処理は終了する。

【0017】一方、EEPROM2からRAM3へ1ブロックづつデータを書き込む過程において、1ブロックでもそのスタートコードとエンドコードとが一致せず、書き込み不良が検出されると、上述したROM→RAM→EEPROM設定処理が再び行われる(ステップC7)。この場合、EEPROM2の内容が製品出荷時の

初期システム設定状態に戻ったことをブザーや警報ランプの点滅表示によって報知する(ステップC8)。つまり、EEPROM2の内容は任意に修正可能であり、EEPROM2の内容を修正したのちにおいて、EEPROM2内にROM1の内容を強制的に設定して出荷時の初期状態に戻されるためその旨を報知するようにしている。

【0018】このようなEEPROM→RAM設定処理が終ると、図2のステップA9に進み、入力待ち状態となる。いま、通常のキー操作手順にしたがってあるファンクションキーが操作されたものとする、次のステップA10ではEEPROM2に対する修正指令が入力されたか否かを調べ、その他の入力指令であれば、それに応じてRAM3内のシステムエリアをアクセスして通常処理(売上データの登録処理や通信処理等)を実行する(ステップA12)。一方、EEPROM2に対する修正指令が入力されたものとする、ステップA11に進み、EEPROM修正処理に移る。

【0019】図6はこのEEPROM修正処理を示したフローチャートである。先ず、CPU5はEEPROM2の内容を全て消去すると共に(ステップD1)、RAM3内のチェックNoカウンタ3-1に「0」をセットする(ステップD2)。このようなイニシャライズ処理が終ると、入力された修正データに基づいてRAM3内のシステムエリアの内容を修正する(ステップD3)。この場合、RAM3内のシステムエリアの内容を一部修正する場合には、修正部分のデータのみを入力してその内容を修正データに書き替える。そして、修正終了が指示されるまで(ステップD4)、RAM3の内容を修正する処理が行われる(ステップD3)。このようにしてRAM3の内容を修正すると、CPU5はチェックNoカウンタ3-1の値をインクリメントし(ステップD5)、この値をEEPROM2内にスタートコードとしてセットする(ステップD6)。そして、RAM3内のシステムエリアの先頭から1ブロック分のデータをリードしてEEPROM2にコピーすると共に(ステップD7)、チェックNoカウンタ3-1の値をEEPROM2内にエンドコードとしてセットする(ステップD8)。このような処理ステップD5~D8は全データをコピーし終るまで(ステップD9)、次ブロックを指定しながら(ステップD10)、1ブロックづつ繰り返される。これによってEEPROM2内に初期設定された内容が任意に修正される。

【0020】そして、図2のステップA13に進み、EEPROM2にシステム設定フラグがセットされる。このため、次の電源投入時には修正された後のEEPROM2の内容がRAM3にコピーされるため(ステップA7)、CPU5は修正後の内容にしたがって通常処理を行う(ステップA12)。このようにROM1の他にEEPROM2が内蔵されているので、製品出荷時に初期

設定された処理内容を後で任意に変更することができる。

【0021】以上のように本実施例においては、ROM→RAM→EEPROM設定処理およびEEPROM修正処理において、EEPROM2ヘデータを1ブロックづつ書き込む際に、スタートコードとエンドコードとでデータを挟んでEEPROM2に書き込んでおき、その後、EEPROM→RAM設定処理において、EEPROM2からデータを読み出す際に、1ブロック毎にスタートコードとエンドコードとが一致するか否かをチェックすることによってEEPROM2内のデータの書き込み不良を検出するようにしたから、EEPROM2への書き込み中に停電等の異常があったか否かをEEPROM2からデータを読み出す毎に確認することができる。

【0022】この場合、書き込み不良が検出されると、EEPROM2の内容は製品出荷時の初期状態に戻される。つまり、EEPROM2への書き込み中に停電等の異常が発生したとしてもその後、EEPROM2の内容は少なくとも製品出荷時の初期状態に戻されるので、書き込み不良に伴う誤動作を防止することができる。この場合、EEPROM2の内容が修正されていれば、再度、その内容を修正すればよい。また、電源投入毎に、EEPROM2の内容をRAM3にコピーしたのちこのRAM3の内容にしたがって通常処理を行うようにしたから、1ビットづつシリアルにデータを読み出す方式のEEPROM2を処理毎に直接アクセスするよりも処理効率を大幅に向上させることが可能となる。また、メモリバックアップ用の二次電池も不良となり、バックアップ時間を気にする必要もなくなる。

【0023】なお、上記実施例はROM→RAM→EEPROM設定処理において、チェックNoカウンタ3-1の値を「0」に戻すようにしたが、必ずしもチェックNoカウンタ3-1の内容をクリアする必要はない。また、上記実施例はスタートコードとエンドコードとを同一の

チェックNoカウンタ3-1の値としたが、例えば、1ブロック目のスタートコードを「1」、そのエンドコードを「2」、次のブロックのスタートコードを「3」……のようにシーケンシャル番号としてもよい。また、上記実施例はフラッシュメモリとしてEEPROMを内蔵したが、EPROMであってもよい。

【0024】

【発明の効果】この発明によれば、フラッシュメモリへのデータ書き込み中において瞬時停電等の影響を受けて書き込み不良が発生したとしてもフラッシュメモリの内容を読み出す際に、データが正しく書き込まれているか否かを確認することが可能となり、フラッシュメモリ内のデータの信頼性を得ることが可能となる。

【図面の簡単な説明】

【図1】実施例に係るPOSターミナルとしての電子式キャッシュレジスタを示したブロック構成図。

【図2】ROM1、EEPROM2、RAM3の内容を説明するための図。

【図3】電源投入に伴って実行開始される全体動作の概要を示したゼネラルフローチャート。

【図4】図3のステップA2、A6（ROM→RAM→EEPROM設定処理）を説明するためのフローチャート。

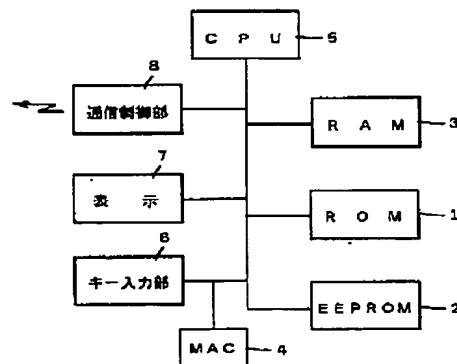
【図5】図3のステップA7（EEPROM→RAM設定処理）を説明するためのフローチャート。

【図6】図3のステップA11（EEPROM修正処理）を説明するためのフローチャート。

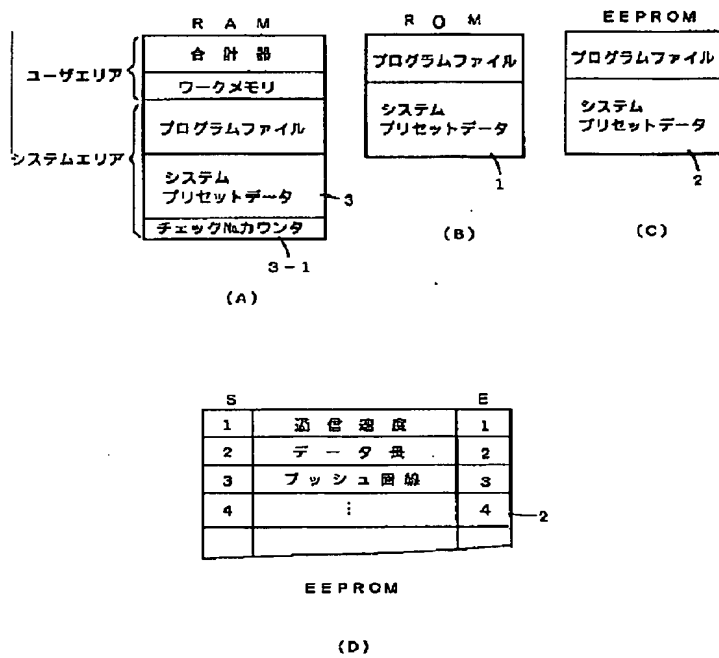
【符号の説明】

- 1 ROM
- 2 EEPROM
- 3 RAM
- 3-1 チェックNoカウンタ
- 4 MACスイッチ
- 5 CPU

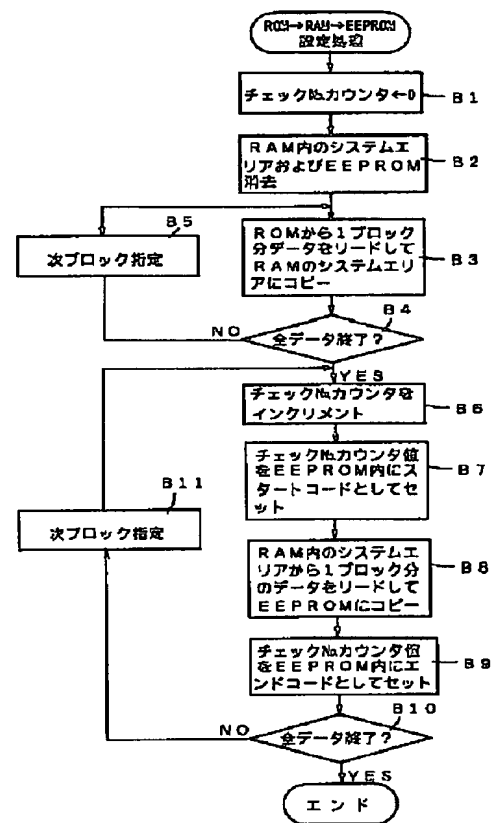
【図1】



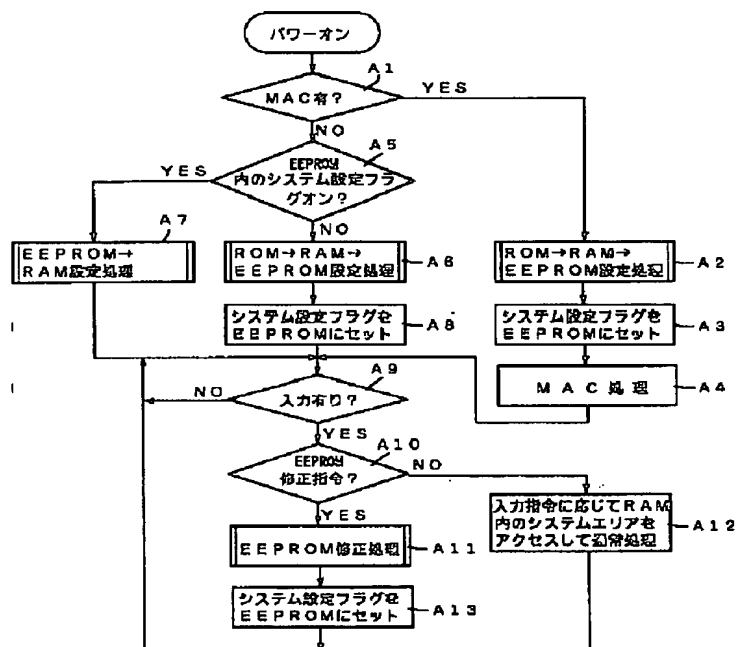
【図 2】



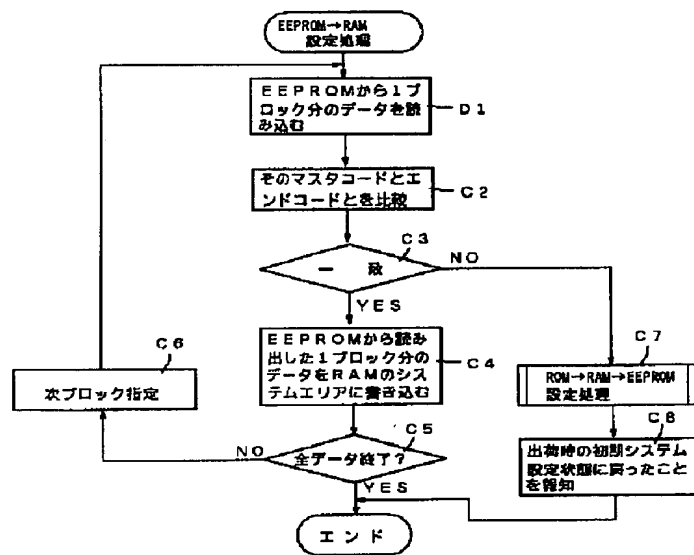
【図 4】



【図 3】



【図 5】



【図 6】

